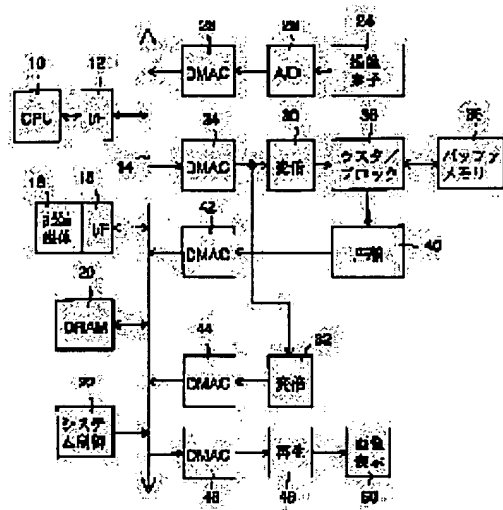


(11)Publication number : 2001-061058  
(43)Date of publication of application : 06.03.2001

(21)Application number : <b>11-233443</b>	(71)Applicant : <b>CANON INC</b>
(22)Date of filing : <b>20.08.1999</b>	(72)Inventor : <b>SATO YOSHINOBU KOSUGI MASATO RENGAKUJI HIDEYUKI</b>

**PROBLEM TO BE SOLVED:** To obtain an image processor that can change an image size at a high-speed.

**SOLUTION:** A DRAM 20 stores image data picked up by an image pickup element 224. A DMA control circuit 34 reads image data from a rectangular area of the DRAM 20 and gives the image data to magnification circuits 30, 32. The magnification circuit 30 changes an image size for compression recording and the magnification circuit 32 changes an image size for display. A raster/ block conversion circuit 36 and a compression circuit 40 compress an output of the magnification circuit 30 and a DMA control circuit 42 applies DMA transfer of compressed image to the DRAM 20. A DMA control circuit 44 applies DMA transfer of an output of the magnification circuit 32 to a rectangular area of the DRAM 20 two-dimensionally.



[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-61058

(P2001-61058A)

(43)公開日 平成13年3月6日(2001.3.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 4 N	1/393	H 0 4 N 1/393	5 B 0 4 7
G 0 6 T	1/60	5/225	F 5 B 0 5 7
	3/40	5/262	5 C 0 2 2
G 0 9 G	5/00	G 0 6 F 15/64	4 5 0 E 5 C 0 2 3
	5/36	15/66	3 5 5 C 5 C 0 5 9

審査請求 未請求 請求項の数12 O L (全 20 頁) 最終頁に続く

(21)出願番号 特願平11-233443

(22)出願日 平成11年8月20日(1999.8.20)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 佐藤 佳宣

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 小杉 真人

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74)代理人 100090284

弁理士 田中 常雄

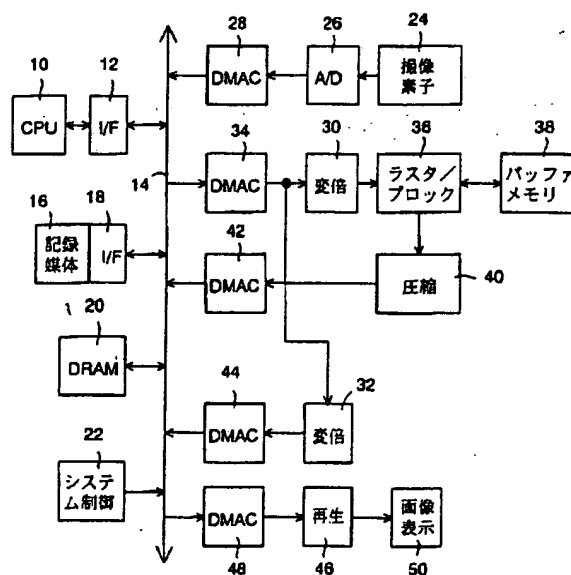
最終頁に続く

(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 画像データを異なるサイズに変倍し、それぞれ記録及び表示する。

【解決手段】 DRAM 20には撮像素子224による撮影画像データが格納される。DMA制御回路34は、DRAM 20の矩形領域から画像データを読み出し、変倍回路30、32に供給する。変倍回路30は、圧縮記録用に画像サイズを変更し、変倍回路32は表示用に画像サイズを変更する。変倍回路30の出力はラスタブロック変換回路36及び圧縮回路40により圧縮され、DMA制御回路42によりDRAM 20にDMA転送される。DMA制御回路44は変倍回路32の出力をDRAM 20の矩形領域に二次元的にDMA転送する。



## 【特許請求の範囲】

【請求項1】 データを記憶するデータ記憶手段と、  
画像データを変倍する第1の変倍手段と、  
画像データを変倍する第2の変倍手段と、  
当該データ記憶手段からデータを当該第1及び第2の変倍手段に二次元転送する第1の転送手段と、  
当該第1の変倍手段の出力画像を圧縮する画像圧縮手段と、  
当該画像圧縮手段の出力を当該データ記憶手段へ順次、  
転送する第2の転送手段と、  
当該第2の変倍手段の出力データを当該データ記憶手段へ二次元転送する第3の転送手段とを具備することを特徴とする画像処理装置。

【請求項2】 画像を縮小するときには、前記第3の転送手段による転送先は、当該第1の転送手段によって当該データ記憶手段からデータを読み出された記憶領域であり、画像を拡大するときには、前記第3の転送手段による転送先は、当該第1の転送手段による当該データ記憶手段の転送元とは異なる記憶領域である請求項1に記載の画像処理装置。

【請求項3】 当該画像圧縮手段は、当該第1の変倍手段から出力されるラスタスキャンデータをブロックスキャンデータに変換するラスタ／ブロック変換手段と、当該ラスタ／ブロック変換手段の出力を情報圧縮する圧縮手段とからなる請求項1に記載の画像処理装置。

【請求項4】 データを記憶するデータ記憶手段と、  
当該データ記憶手段からデータを二次元転送する第1の転送手段と、  
当該第1の転送手段により転送される画像データを変倍する第1の変倍手段と、  
当該第1の変倍手段の出力画像データを圧縮する画像圧縮手段と、  
当該第1の変倍手段の出力及び当該画像圧縮手段の出力の一方を選択する第1の選択手段と、  
当該第1の選択手段の出力を当該データ記憶手段に転送する第2の転送手段と、  
当該第1の転送手段により転送される圧縮画像データを伸長する画像伸長手段と、  
当該第1の転送手段の出力及び当該画像伸長手段の出力の一方を選択する第2の選択手段と、  
当該第2の選択手段の出力画像を変倍する第2の変倍手段と、  
当該第2の変倍手段の出力データを当該データ記憶手段に二次元転送する第3の転送手段とを具備し、  
当該データ記憶手段に記憶されるデータを圧縮するときには、当該第1の選択手段が当該画像圧縮手段の出力を選択すると共に、当該第2の選択手段は、当該第1の転送手段の出力を選択し、  
当該データ記憶手段の圧縮画像データを伸長するときには、当該第2の選択手段は当該画像伸長手段の出力を選

2  
択することを特徴とする画像処理装置。

【請求項5】 当該画像圧縮手段は、当該第1の変倍手段から出力されるラスタスキャンデータをブロックスキャンデータに変換するラスタ／ブロック変換手段と、当該ラスタ／ブロック変換手段の出力を情報圧縮する圧縮手段とからなる請求項4に記載の画像処理装置。

10 【請求項6】 当該画像伸長手段は、圧縮画像データを伸長する伸長手段と、当該伸長手段により伸長されたブロックスキャンデータをラスタスキャンデータに変換するブロック／ラスタ変換手段とからなる請求項4に記載の画像処理装置。

【請求項7】 データを記憶するデータ記憶手段と、  
当該データ記憶手段からデータを転送する第1の転送手段と、  
当該データ記憶手段からデータを転送する第2の転送手段と、  
当該第2の転送手段からの圧縮画像データを伸長する画像伸長手段と、  
当該第1の転送手段の出力、当該第2の転送手段の出力及び当該画像伸長手段の出力の何れかを選択する第1の選択手段と、

20 当該第1の転送手段の出力、当該第2の転送手段の出力及び当該画像伸長手段の出力の何れかを選択する第2の選択手段と、  
当該第1の選択手段からの画像データを変倍する第1の変倍手段と、  
当該第2の選択手段からの画像データを変倍する第2の変倍手段と、  
当該第1及び第2の変倍手段の出力の一方を選択する第3の選択手段と、  
当該第3の選択手段の出力画像データを圧縮する画像圧縮手段と、

30 当該第1の変倍手段の出力、当該第2の変倍手段の出力及び当該画像圧縮手段の出力の何れかを選択する第4の選択手段と、  
当該第1の変倍手段の出力、当該第2の変倍手段の出力及び当該画像圧縮手段の出力の何れかを選択する第5の選択手段と、  
当該第4の選択手段の出力データを当該データ記憶手段に転送する第3の転送手段と、  
当該第5の選択手段の出力データを当該データ記憶手段に転送する第4の転送手段とを具備することを特徴とする画像処理装置。

40 【請求項8】 画像を圧縮するときには、当該第1及び第2の選択手段は当該第1の転送手段の出力を選択し、当該第3の選択手段は当該第1の変倍手段の出力を選択し、第4の選択手段は当該第2の変倍手段の出力を選択し、当該第5の選択手段は当該画像圧縮手段の出力を選択する請求項7に記載の画像処理装置。

50 【請求項9】 圧縮データを伸長するときには、当該第1

3

及び第2の選択手段は当該画像伸長手段の出力を選択し、当該第4の選択手段は当該第1の変倍手段の出力を選択し、当該第5の選択手段は当該第2の変倍手段の出力を選択する請求項7に記載の画像処理装置。

【請求項10】 画像データを変倍するときは、当該第1の選択手段は当該第1の転送手段の出力を選択し、当該第2の選択手段は当該第2の転送手段の出力を選択し、当該第4の選択手段は当該第1の変倍手段の出力を選択し、当該第5の選択手段は当該第2の変倍手段の出力を選択する請求項7に記載の画像処理装置。

【請求項11】 当該画像圧縮手段は、当該第3の選択手段から出力されるラスタスキャンデータをブロックスキャンデータに変換するラスタ/ブロック変換手段と、当該ラスタ/ブロック変換手段の出力を情報圧縮する圧縮手段とからなる請求項7に記載の画像処理装置。

【請求項12】 当該画像伸長手段は、当該第2の転送手段からの圧縮画像データを伸長する伸長手段と、当該伸長手段により伸長されたブロックスキャンデータをラスタスキャンデータに変換するブロック/ラスタ変換手段とからなる請求項7に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像処理装置に関する、より具体的には、映像信号を任意サイズで拡大縮小する画像処理装置に関する。

【0002】

【従来の技術】 デジタルカメラには、一般的に、ラージ（1600×1200ピクセル）、ミドル（1280×960ピクセル）及びスモール（800×600ピクセル）というように、数種類の記録サイズを選択できるのが普通である。デジタルカメラはまた、ファインダ用及び再生画像の表示用に、液晶表示パネルを具備する。

【0003】 ミドルサイズの画像を記録するには、撮像素子で撮像されたフルサイズの画像データをカメラ信号処理の後、内蔵DRAMに一時記憶し、記憶されたフルサイズの画像データを読み出しミドルサイズに縮小した後に記録媒体に記録する。DRAMに一時記憶されているフルサイズの画像データは、再度、読み出され、液晶表示モニタへの出力用に画像サイズを縮小されて、液晶表示モニタに印加される。

【0004】

【発明が解決しようとする課題】 従来例では、画像データの記録処理の後に表示処理が行われるので、画像の記録から表示までに長い時間がかかる。多くのDRAMアクセスを必要とし、消費電力が増大する。

【0005】 本発明は、これらの問題点を解決し、高速に画像サイズを変更する画像処理装置を提示することを目的とする。

【0006】 本発明はまた、任意の画像サイズの画像デ

4

ータを、より少ないメモリで、高速に圧縮伸長、変倍及び記録再生再生する画像処理装置を提示することを目的とする。

【0007】

【課題を解決するための手段】 本発明に係る画像処理装置は、データを記憶するデータ記憶手段と、画像データを変倍する第1の変倍手段と、画像データを変倍する第2の変倍手段と、当該データ記憶手段からデータを当該第1及び第2の変倍手段に二次元転送する第1の転送手段と、当該第1の変倍手段の出力画像を圧縮する画像圧縮手段と、当該画像圧縮手段の出力を当該データ記憶手段へ順次転送する第2の転送手段と、当該第2の変倍手段の出力データを当該データ記憶手段へ二次元転送する第3の転送手段とを具備することを特徴とする。

【0008】 本発明に係る画像処理装置はまた、データを記憶するデータ記憶手段と、当該データ記憶手段からデータを二次元転送する第1の転送手段と、当該第1の転送手段により転送される画像データを変倍する第1の変倍手段と、当該第1の変倍手段の出力画像データを圧縮する画像圧縮手段と、当該第1の変倍手段の出力及び当該画像圧縮手段の出力の一方を選択する第1の選択手段と、当該第1の選択手段の出力を当該データ記憶手段に転送する第2の転送手段と、当該第1の転送手段により転送される圧縮画像データを伸長する画像伸長手段と、当該第1の転送手段の出力及び当該画像伸長手段の出力の一方を選択する第2の選択手段と、当該第2の選択手段の出力画像を変倍する第2の変倍手段と、当該第2の変倍手段の出力データを当該データ記憶手段に二次元転送する第3の転送手段とを具備し、当該データ記憶手段に記憶されるデータを圧縮するときには、当該第1の選択手段が当該画像圧縮手段の出力を選択すると共に、当該第2の選択手段は、当該第1の転送手段の出力を選択し、当該データ記憶手段の圧縮画像データを伸長するときには、当該第2の選択手段は当該画像伸長手段の出力を選択することを特徴とする。

【0009】 本発明に係る画像処理装置はまた、データを記憶するデータ記憶手段と、当該データ記憶手段からデータを転送する第1の転送手段と、当該データ記憶手段からデータを転送する第2の転送手段と、当該第2の転送手段からの圧縮画像データを伸長する画像伸長手段と、当該第1の転送手段の出力、当該第2の転送手段の出力及び当該画像伸長手段の出力の何れかを選択する第1の選択手段と、当該第1の転送手段の出力、当該第2の転送手段の出力及び当該画像伸長手段の出力の何れかを選択する第2の選択手段と、当該第1の選択手段からの画像データを変倍する第1の変倍手段と、当該第2の選択手段からの画像データを変倍する第2の変倍手段と、当該第1及び第2の変倍手段の出力の一方を選択する第3の選択手段と、当該第3の選択手段の出力画像データを圧縮する画像圧縮手段と、当該第1の変倍手

5

段の出力、当該第2の変倍手段の出力及び当該画像圧縮手段の出力の何れかを選択する第4の選択手段と、当該第1の変倍手段の出力、当該第2の変倍手段の出力及び当該画像圧縮手段の出力の何れかを選択する第5の選択手段と、当該第4の選択手段の出力データを当該データ記憶手段に転送する第3の転送手段と、当該第5の選択手段の出力データを当該データ記憶手段に転送する第4の転送手段とを具備することを特徴とする。

【0010】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。

【0011】図1は、本発明の一実施例の概略構成ブロック図を示す。10は、全体を制御するCPU、12はCPU10をシステムバス14に接続するインターフェース、16はメモリカード等の記録媒体、18は記録媒体16をバス14に接続するインターフェース、20は画像データ及びプログラム等を記憶するDRAM、22は、システムのシーケンシャル制御及びバス調停制御等を司るシステム制御回路、24は撮像素子、26は撮像素子24のアナログ出力をデジタル信号に変換するA/D変換器、28は、D/A変換器26の出力データをDRAM20にDMA転送するDMA（ダイレクトメモリアクセス）制御回路である。

【0012】30、32は線形補間等によって水平及び垂直方向に画像を変倍する変倍回路、34は、DRAM20上の画像データを変倍回路30、32に二次元的にDMA転送するDMA制御回路、36は、変倍回路30によって変倍されたラスタスキャン画像データをブロックスキャン画像データに変換するラスタ/ブロック変換回路、38はラスタ/ブロック変換回路36の作業用のバッファメモリである。バッファメモリ38は、 $H \times 8$ ワードの容量を持ち、従って、ラスタ/ブロック変換回路36は、水平ピクセル $H$ までのラスタデータを一度にブロックスキャンデータに変換できる。

【0013】40はラスタ/ブロック変換回路36から出力されるブロックスキャン画像データをJPEG方式で圧縮する圧縮回路、42は、圧縮回路40の出力データをDRAM20にDMA転送するDMA制御回路である。44は、変倍回路32によって変倍された画像データをDRAM20に二次元的にDMA転送するDMA制御回路である。

【0014】46は、画像データに変調、同期信号の付加及びD/A変換等の処理を施してビデオ信号を生成する再生回路、48は、DRAM20の画像データを再生回路46に二次元DMA転送するDMA制御回路、50は再生回路46から出力されるビデオ信号を画像表示する画像表示装置である。画像表示装置は、例えば、液晶表示パネルからなる。

【0015】図2は、変倍回路30、32の概略構成ブロック図を示す。60は線形補間等により水平方向に

6

倍する水平変倍回路、62は線形補間などにより垂直方向に変倍する垂直変倍回路、64は垂直変倍回路62の作業用のバッファメモリ、66は、入力信号又は垂直変倍回路62の出力を選択して水平変倍回路60に供給するスイッチ、68は、入力信号又は水平変倍回路60の出力を選択して垂直変倍回路62に供給するスイッチ、70は水平変倍回路60又は垂直変倍回路62の出力を選択するスイッチである。バッファメモリ64は、 $Hb$ ワードの容量を具備し、水平 $Hb$ ピクセルで2ライン分のディレイラインからなる。

【0016】スイッチ66、68、70により、水平変倍回路60と垂直変倍回路62のどちらを先に作用させるかを切り換えることができる。即ち、スイッチ66、68、70を全てA側に接続すると、入力画像は水平変倍回路60及び垂直変倍回路62の順番で変倍され、スイッチ66、68、70を全てB側に接続すると、入力画像は垂直変倍回路62及び水平変倍回路60の順番で変倍される。縮小処理のときにはスイッチ66、68、70を全てA側に接続し、拡大処理のときにはスイッチ66、68、70を全てB側に接続する。

【0017】図3は、水平変倍回路60の概略構成ブロック図を示す。80は水平変倍回路60への入力データを取り込むDフリップフロップであり、実際にはシフトレジスタを構成する。82はDフリップフロップ80の出力データを8チャンネルに割り振る1:8のセレクトラ、84はセレクトラ82の各出力をラッチするラッチ、86はラッチ回路84の8出力の1つを選択する8:1のセレクトラである。セレクトラ82、86及びラッチ回路84は、データ記憶回路88を構成する。

【0018】90は、Dフリップフロップの出力又はデータ記憶回路88の出力を選択するセレクトラ、92は、セレクトラ90の出力を取り込むDフリップフロップであり、Dフリップフロップ80と同様に、実際にはシフトレジスタを構成する。94は、Dフリップフロップ80、92の出力から線形補間する線形補間回路、96は、線形補間回路94の補間比率 $K_h$ を記憶する位相記憶回路である。

【0019】Dフリップフロップ80は入力データ $P$ を取り込む。Dフリップフロップ80の出力データは、データ記憶回路88のセレクトラ82と線形補間回路94に印加される。データ記憶回路88は、Dフリップフロップ80からのデータをラッチ84に一時記憶し、所望のタイミングのデータをセレクトラ90を介してDフリップフロップ92に供給する。Dフリップフロップ92の出力は線形補間回路94の別の入力に印加される。このようにして、線形補間回路94には、2つのタイミングの画像データ $P_i$ 、 $P_{i+1}$ が入力する。線形補間回路94は、これらの画像データ $P_i$ 、 $P_{i+1}$ を線形補間して、データ $Q_j$ を出力する。

【0020】図4は、縮小比率 $N/M = 3/7$ の時の入

7

力画素 $P_i$ と出力画素 $Q_j$ の対応例を示す。図5は、線形補間回路94の動作フローチャートを示す。図4及び図5を参照して、実際の縮小動作を説明する。

【0021】定数 $K_h$ 、 $I_h$ を初期設定する(S1)。 $K_h$ 、 $I_h$ は、初期設定後、変化しない。 $I_h$ は縮小比率 $N/M$ の逆数の整数部分、すなわち、 $\text{int}(M/N)$ に設定され、 $K_h$ は、縮小比率 $N/M$ の逆数の小数部分に設定される。縮小比率が $3/7$ のとき、 $I_h = 2$ 、 $K_h = 1/3$ である。

【0022】入力画素カウンタ $i$ 、出力画素カウンタ $j$ 及び補間係数 $k$ を0で初期化する(S2)。下記式の線形補間処理、

$$Q_j = (P_{i+1} - P_i) \times k + P_i$$

を実行する(S3)。この式は、

$$Q_j = P_{i+1} \times k + P_i \times (1 - k)$$

と展開できる。これは、線形補間そのものであり、 $i = 0$ 、 $j = 0$ 及び $k = 0$ では、 $Q_0 = P_0$ となる。

【0023】出力画素カウンタ $j$ をインクリメントし、入力画素カウンタ $i$ に $I_h$ を加算し、補間係数 $k$ に $K_h$ を加算する(S4)。これにより、 $i = 2$ 、 $j = 1$ 、 $k = 1/3$ となる。 $k$ が1未満であるので(S5)、再度、線形補間する(S3)。この結果、

$$Q_1 = P_3 \times 1/3 + P_2 \times 2/3$$

となる。出力画素カウンタ $j$ をインクリメントし、入力画素カウンタ $i$ に $I_h$ を加算し、補間係数 $k$ に $K_h$ を加算する(S4)。その結果、 $i = 4$ 、 $j = 2$ 、 $k = 2/3$ となる。この段階でも、 $k$ が1未満であるので(S5)、再度、線形補間する(S3)。この結果、

$$Q_2 = P_5 \times 2/3 + P_4 \times 1/3$$

となる。

【0024】出力画素カウンタ $j$ をインクリメントし、入力画素カウンタ $i$ に $I_h$ を加算し、補間係数 $k$ に $K_h$ を加算する(S4)。これにより、 $i = 6$ 、 $j = 3$ 、 $k = 1$ となる。 $k$ が1以上になったので(S5)、 $k$ をデクリメントし、 $i$ をインクリメントする(S6)。この結果、 $k = 0$ 、 $i = 7$ となる。この後、線形補間処理を実行する(S3)。これにより、

$$Q_3 = P_7$$

となる。

【0025】以後、同様の処理により、水平方向に画像を縮小できる。

【0026】図6は、垂直変倍回路62及びバッファメモリ64の概略構成ブロック図を示す。110、112はそれぞれ、 $H_b$ ワード、即ち、水平 $H_b$ ピクセルからなる1ラインの画像データを記憶可能なラインメモリである。ラインメモリ110、112はバッファメモリ64の一部である。114は、繰り返しのライン数 $L$ を記憶するレジスタ、116は、1ラインのピクセル数 $A$ を記憶するレジスタ、118は1ラインのピクセル数を記憶するレジスタ、120はアドレスの分割管理数 $D$ を

8

記憶するレジスタ、122は、レジスタ114～120の記憶値に従って、ラインメモリ110、112に対するアドレスを発生し、ラインメモリ110、112のメモリアクセスを制御するアドレス発生回路である。

【0027】垂直変倍回路62の入力データは、交互にラインメモリ110、112に書き込まれる。ラインメモリ110が書き込み動作するとき、ラインメモリ112は読み出し動作する。セクタ124は、垂直変倍回路62の入力データ又は、ラインメモリ110の出力データを選択し、その選択出力が、ラインメモリ112及び線形補間回路126に印加される。これにより、ラインメモリ110、112の同じアドレスに記憶されるデータ $P_{i,u+1}$ 、 $P_{i,u}$ が、同時に読み出されて線形補間回路126に印加される。この読み出しの直後にラインメモリ112に次の入力データ $P_{i,u+2}$ が書き込まれる。

【0028】ラインメモリ110、112の容量 $H_b$ とパラメータ $A$ 、 $B$ 、 $D$ の間には、

$$H_b = A \times (D - 1) + B$$

の関係がある。

【0029】線形補間回路126は、線形補間回路94と類似する機能又は構成からなる。但し、垂直変倍回路62は、ライン単位で処理を行うので、カウンタの更新はライン単位になる。位相記憶回路128は、垂直走査の不連続点における線形補間回路126の状態を位相情報として記憶する。

【0030】図7は、アドレス発生回路122の動作フローチャートである。ライン数レジスタ114の設定値を $L$ 、ピクセル数レジスタ116の設定値を $A$ 、ピクセル数レジスタ118の設定値を $B$ 、分割数レジスタの設定値を $D$ とする。 $h$ はピクセルカウンタ、 $c$ はラインカウンタ、 $d$ は分割ブロック数カウンタ、 $i$ はアドレス出力カウンタである。

【0031】 $H$ に $A$ をセットし、 $h$ 、 $d$ 、 $c$ を0で初期化し、位相記憶回路128から線形補間回路126に初期位相情報をロードする(S11)。下記式に従い、 $h$ 、 $A$ 、 $d$ から $i$ を算出する(S12)。即ち、 $i = h + A \cdot d$

そして、 $h$ をインクリメントし(S13)、 $h = H$ になるまで、S12、S13を繰り返す(S14)。

【0032】 $h = H$ になると(S14)、アドレス発生回路122は、ピクセルカウンタ $h$ をリセットし、ラインカウンタ $c$ をインクリメントし、線形補間回路126に $H R S T$ を発行する(S15)。ラインカウンタ $c$ が設定値 $L$ と等しくなるまで、S12～S15を繰り返す(S16)。 $c = L$ になると、1分割ブロックの終了となる。

【0033】 $c = L$ になると(S16)、ラインカウンタ $c$ をリセットし、ブロックカウンタ $d$ をインクリメントし、位相記憶回路128から線形補間回路126へ位

30

50

9

相情報がロードされる(S17)。

【0034】ブロックカウンタdがD-1及びDのどちらとも等しくない場合には(S18)、そのままS12以降を繰り返す。ブロックカウンタdがD-1と等しい場合(S18)、HにBをセットして、S12に戻る(S19)。これにより、最後のブロックでは1ラインのピクセル数はBとなる。dがDと等しい場合(S18)、ブロック数dをリセットし、線形補間回路126の位相情報が位相記憶回路128にストアされて、S12に戻る(S20)。ストアされた位相情報は、次回に、線形補間回路126にロードされる。

【0035】図8は、垂直縮小動作のフローチャートを示す。uが入力画素カウンタ、vが出力画素カウンタとなっているのが、図5とは異なる。iはバッファメモリ64のアドレスであって水平方向の画素位置を示す。アドレスiは、アドレス発生回路122によって管理され、図7のS12に示すように、

$$i = h + A \times d$$

で与えられる。

【0036】また、アドレス発生回路122から出力されるHRSTによってラインの終了を判定しており(S24)、ライン終了までの1ライン分の線形補間処理を連続して行っている。この他は、図5と同様に動作する。

【0037】位相記憶回路128のロード/ストアは、アドレス発生回路122によって制御される。ロード時には、u、v、kが位相情報として位相記憶回路128から線形補間回路126にロードされ、ストア時には逆にu、v、kが位相情報として線形補間回路126から位相記憶回路128にストアされる。

【0038】図9はDMA制御回路34の動作概念図である。DMA制御回路34は、DRAM20の記憶領域を2次元平面とみなした時に、DRAM20上の矩形領域からデータを読み出す。図9において、P1、P2、P3、P4、P5、P6はアドレスを、Nはデータ転送する矩形領域のライン数を、Mは1ラインのピクセル数(ワード数)をそれぞれ示す。また、破線で示す距離Jは全て等しい。従って、矩形領域のDMAは、左端のポイントから始まるMワードのDMAをN回繰り返すことによって実現できる。

【0039】図10は2次元DMA転送の動作フローチャートを示す。P1、M、N、Jは図9に示すパラメータ値に対応し、2次元DMA制御回路34内のレジスタにセットされる。カウンタh、cをリセットし(S31)、h、cからアドレスaを算出する(S32)。アドレスaにデータを書き込み(S33)、カウンタhをインクリメントする(S34)。h=M、すなわち、ラインの終了に到達するまで(S35)、S32~S34を繰り返す。これにより、1ライン分の線形補間処理を連続して実行する。1ラインの処理を終了すると(S3

10

5)、hをリセットし、cをインクリメントする(S36)。c=N、即ち、全ラインの転送を終了するまで(S37)、S32~S36を繰り返す。

【0040】次に、撮影画像の圧縮記録及び再生動作を具体的に説明する。画像サイズの縦横比が4:3、水平2048ピクセル、垂直1536ピクセルで、Y:U:V=4:2:2の画像データを、変倍回路30で1024×768ピクセルに縮小し、変倍回路32で752×485ピクセルに縮小する場合を想定する。

【0041】1024×768ピクセルに縮小する場合、バッファメモリ38の水平方向の容量Ha=320、変倍回路30の垂直変倍用バッファメモリ64の水平方向の容量Hb=1024とすると、変倍回路30では、水平方向の縮小率が、

$$1024/2048 = 1/2$$

となり、垂直方向の縮小率が、

$$768/1536 = 1/2$$

となる。従って、水平変倍回路60のIh、Khは、

$$Ih = \text{int}(2/1) = 2$$

$$Kh = 2/1 - 2 = 0$$

となり、垂直変倍回路62のIv、Kvは、

$$Iv = \text{int}(2/1) = 2$$

$$Kv = 2/1 - 2 = 0$$

となる。

【0042】752×485に縮小する場合で、変倍回路32の垂直変倍用バッファメモリ64の水平方向の容量Hb=752とすると、変倍回路32では、水平方向の縮小率が、

$$752/2048 = 47/128$$

となり、垂直方向の縮小率が、

$$485/1536 \sim 7/22$$

となる。従って、水平変倍回路60のIh、Khは、

$$Ih = \text{int}(128/47) = 2$$

$$Kh = 128/47 - 2 = 34/47$$

となり、垂直変倍回路62のIv、Kvは、

$$Iv = \text{int}(22/7) = 3$$

$$Kv = 22/7 - 3 = 1/7$$

となる。

【0043】ラスト/ブロック変換回路36の水平方向の処理単位Ha'を256に設定する。これは、256が、変倍回路30の水平縮小率1/2の分母2、変倍回路32の水平縮小率47/128の分母128、及びJPEGデータのMCU(Minimum Coded Unit)の水平方向のピクセル数16(Y:U:V=4:2:2の場合)の最小公倍数であり、且つ、Ha'以内の最大値だからである。ライン数レジスタ114には、JPEGデータのMCUの垂直方向のピクセル数である8(Y:U:V=4:2:2の場合)に設定する。

【0044】変倍回路30のピクセル数レジスタ116、118に256に設定する。これは、ラスト/プロ

11

ック変換回路36の水平方向の処理単位 $Ha'$ に等しく、水平縮小後に512ピクセルが256ピクセルになることを意味する。分割数レジスタ120に4を設定する。これは、元画像の水平サイズ1024を $Ha'$ で除算し、切り上げた値である。位相記憶回路128の初期位相情報 $u, v, k$ を全て0にリセットする。

【0045】同様に、変倍回路32のピクセル数レジスタ116, 118に188を設定する。これは、変倍回路30の水平方向の入力処理単位512ピクセルが188ピクセルになることを意味する。分割数レジスタ120に4を設定する。これは、変倍回路30の分割数レジスタ120の設定値と同じである。変倍回路30と同様に、位相記憶回路128の初期位相情報 $u, v, k$ を全て0にリセットする。2次元DMA制御回路34の設定レジスタMに変倍回路30のピクセル数レジスタ116の設定値の2倍の512を設定し、Nには16を設定する。2次元DMA制御回路44の設定レジスタMには変倍回路32のピクセル数レジスタ116の設定値と同じ188を設定し、Nには5を設定する。但し、Nは、処理の進行に合わせて5又は6に再設定される。それは、垂直縮小率 $7/22$ に垂直処理単位16を乗算すると、5.1程度になり、これは16ライン入力に対して5ライン又は6ラインを出力されることを意味するからである。

【0046】スタートポイントP1は、図11のPbに設定され、オフセットJは適宜に設定される。以上の初期設定での動作を図11を参照して説明する。

【0047】CPU10は、撮像データ用のメモリ領域、JPEGデータ用のメモリ領域、及び再生縮小データ用のメモリ領域をDRAM20上に確保する。撮像素子24で撮像された画像は、A/D変換器26及びDMA制御回路28を介してDRAM20上のアドレスPa以降に順次、書き込まれる。

【0048】2次元DMA制御回路34は、512×16ピクセルの矩形画像データをアドレスPaを左上の角とする512×16の矩形領域から読み出し、変倍回路30, 32に転送する。これで、1分割矩形領域の処理が終了する。次の矩形領域のデータを転送するため、2次元DMA制御回路34は、そのスタートポイントP1を図11のPbに再設定する。M, N, Jは変更の必要はない。Pbは、Pa+Mによって2次元DMA制御回路34自身で再設定することもできる。

【0049】変倍回路30では、スイッチ66, 68, 70は全てAに接続する。従って、DMA制御回路34からの512×16の矩形画像データは、まず、水平変倍回路60に順次入力され、水平方向に縮小処理される。1ラインは、 $512 \times 1 / 2 = 256$ ピクセルに縮小され、水平変倍回路60は、256ピクセル×16ラインの画像データを出力する。水平変倍回路60の出力は垂直変倍回路62に入力し、垂直変倍回路62は、図

12

7及び図8に示すフローチャートに従って入力画像を垂直方向に縮小する。A及びBは256に設定され、Lは16、Dは4にそれぞれ設定されているので、アドレス発生回路122は、256×16の矩形画像データに対して0から255の繰り返しを16回、行って垂直方向に縮小し、256×8の矩形画像データをラスタ/ブロック変換回路36へ出力する。

【0050】ラスタ/ブロック変換回路36は、 $Ha' \times 8$ ワード単位でラスタデータをブロックデータに変換する。 $Ha' = 256$ であるから16MCU分のデータが入力すると、順次、ブロックスキャンデータに変換して出力する。16MCU分のブロックスキャンデータは、256×8ワード、即ち、1ラインが256ピクセルで、8ラインのデータとなる。ブロックスキャンに変換されたデータは、圧縮回路40に入力する。圧縮回路40は、回路36からのデータを順次、JPEG圧縮してDMA制御回路42に出力する。DMA制御回路42は、圧縮回路40からのJPEGデータをDRAM20上の、JPEGデータ用のメモリ領域(ポインタPd)に転送する。

【0051】CPU10は、DRAM20上のポインタPdからJPEGデータを読み出し記録媒体16にJPEGファイルとして書き込む。

【0052】変倍回路32には、変倍回路30と同じく、512×16の矩形画像データが入力する。変倍回路32では、スイッチ66, 68, 70は全てAに接続する。512×16の矩形画像データは、まず水平変倍回路60に順次入力され、水平方向に縮小処理される。ここで、1ラインは $512 \times 4 / 128 = 188$ ピクセルに縮小される。水平変倍回路60は、188ピクセル×16ラインの画像データを垂直変倍回路62に供給する。垂直変倍回路62は、図7及び図8に示すフローチャートに従って入力データを垂直方向に縮小する。A及びBは188に設定され、Lは16、Dは4にそれぞれ設定されているので、アドレス発生回路122は、188×16の矩形画像データに対して0から187の繰り返しを16回、行って垂直方向に縮小し、188×5の矩形画像データをラスタスキャンで順次、出力する。

【0053】2次元DMA制御回路44は、変倍回路32から出力される188×5の矩形画像データを、DRAM20上のポインタPeを左上の角とする188×5の矩形領域に転送する。これで、1分割矩形領域の処理が終了する。

【0054】次の矩形領域の処理を行うため、2次元DMA制御回路44は、そのスタートポイントP1を図11のPfに再設定する。M, N, Jは変更の必要はない。Pfは、Pb+Mによって2次元DMA制御回路44自身で再設定することもできる。2回目の矩形処理では、1回目と同様に、DMA制御回路34から512ピクセル×16ラインの矩形画像データが出力され、水平



13

変倍回路60から188ピクセル×16ラインの矩形画像データが出力される。垂直変倍回路62は、188から375のアドレス発生を16回繰り返して、188×5の矩形画像データを出力する。2次元DMA制御回路44は、変倍回路32からの画像データを、DRAM20上のPfを左上の角とする188×5の矩形領域に転送する。これで、2回目の処理が終了する。

【0055】以後、同様にして、4回目の転送処理まで終了すると、元画像で2048ピクセル×16ライン、縮小画像にして752×5ラインの処理が終了する。このとき、位相情報 $u=15$ 、 $v=5$ 、 $k=5/7$ が位相記憶回路128にストアされ、次の処理では、この位相情報が最初に線形補間回路126ロードされて、垂直縮小処理に使用される。バッファメモリ64には、元画像の16ライン目が水平752ピクセルに縮小されて蓄積されており、このデータが次の垂直縮小処理に使用される。

【0056】次に、2次元DMA制御回路44のスタートポイントP1を図11のPgに設定し、Nを2に設定する。Pgは、 $Pe + (J + M) \times N$ によって2次元DMA制御回路44自身で再設定することもできる。5回目の処理では、1回目と同様に、2次元DMA制御回路34から512ピクセル×16ラインの矩形画像データが出力され、水平変倍回路60から188ピクセル×16ラインの矩形画像データが出力される。垂直変倍回路62は、0から187のアドレス発生を16回繰り返して、188×5の矩形画像データを出力する。2次元DMA制御回路44は、変倍回路32からの画像データを、DRAM20上のPgを左上の角とする188×5の矩形領域に転送する。これで、5回目の処理が終了する。

【0057】以後、同様の処理を50回、繰り返す。51回目の処理では、1回目と同様に2次元DMA制御回路34から512ピクセル×16ラインの矩形画像データが出力され、水平変倍回路60から188ピクセル×16ラインの矩形画像データが出力される。垂直変倍回路62は、0から187のアドレス発生を16回繰り返して188×5の矩形画像データを出力する。2次元DMA制御回路44は、変倍回路32からの画像データを、DRAM20上のPhを左上の角とする188×6の矩形領域に転送する。これで、51回目の処理が終了する。

【0058】以後、51回目の処理と同様の処理を55回目まで繰り返す。これにより、元画像で2048ピクセル×16ライン、縮小画像で752×6ラインの処理が終了する。

【0059】上述の55回の処理を繰り返すことによって、元画像を水平方向に4分割、垂直方向に96分割して処理することができ、全再生縮小画像データとして752ピクセル×489ラインの画像データを得ることが

14

できる。485～489の4ラインは誤差であるので、上下2ラインを削除するか、又は、下4ライン分の処理を行わないことにして、調整すればよい。

【0060】全再生縮小画像データが準備できたら、DMA制御回路48は、そのスタートポイントを図11のPeに、水平ピクセル数を752に、垂直ライン数を243に、オフセットをDMA制御回路44に設定した $J \times 2 + 752$ にそれぞれ設定して、DRAM20から再生回路46に1フィールド分の画像データを転送する。再生回路46は、入力した画像データを変調し、同期信号を付加し、アナログ信号に変換して、所定形式のビデオ信号を生成し、画像表示装置50に供給する。

【0061】次のTVフィールドでは、DMA制御回路48は、スタートポイントをPeの直下に設定すると共に、垂直ライン数を242に再設定し、再生回路46に1フィールド分の画像データを転送する。以後、2フィールドのDMA転送を繰り返す。

【0062】以上の動作によって、2048ピクセル×1536ラインの画像データに対して4:3縦横比のまま、フル画面のビデオ信号を生成し、画像再生することができる。

【0063】水平変倍回路60による拡大処理を説明する。図12は水平方向に4/3倍拡大する処理の概念図を示す。図12において、ラスタ/ブロック変換が矩形領域Aと矩形領域Bに分割されて行われる時、矩形領域A'と矩形領域B'はその拡大処理後の分割を示す。矩形領域B'の三角で示された画素は、矩形領域A及び矩形領域Bの両方を参照しなければ補間できない。従って、矩形領域Aの白丸で示される画素の値とその時の補間比率Khを、矩形領域Bを処理するときまで記憶しておく必要がある。

【0064】拡大の場合、図5に示すフローチャートで、 $Ih=0$ とすればよい。セクタ82を制御することで、図12の白丸のデータをラッチ84に順次蓄積する。最下位ラインの白丸のときのKhを位相記憶回路96にストアする。矩形領域Bの各ラインの先頭でKhを線形補間回路94にロードする。セクタ90でデータ記憶回路88側を選択し、セクタ86を適宜選択することによって、白丸のデータを線形補間回路94に供給する。この状態で、線形補間回路94は、水平拡大処理を実行する。

【0065】垂直変倍回路62による拡大処理を説明する。拡大の場合、図8のフローチャートで、 $Iv=0$ とする。ライン数レジスタ114には、入力ライン数ではなく出力ライン数が設定される。セクタ6124をAに接続すると、垂直変倍回路62の入力データはラインメモリ110のみに書き込まれ、線形補間回路126には、ラインメモリ112から読み出されたデータだけが入力される。ラインメモリ110、112は、HRSTによってスワップされる。その他の動作は、垂直縮小処

15

理と同様である。

【0066】図13は、垂直方向に5/2倍に拡大する処理の概念図を示す。例えば、出力の第2ライン及び第3ラインはどちらも、入力第1ライン及び第2ラインから補間される。従って、垂直方向に拡大してラスタ出力するためには、入力のラインバッファを2ライン分設ける必要がある。アドレス発生回路122はそのような時、第3入力ラインのバッファメモリ110への書き込みをデイスエブルし、2つのラインメモリ110、112からの読み出しのみを行う。従って、図13の場合、アドレスのスキップを6回繰り返すことにより、垂直拡大処理を実現することができる。

【0067】変倍回路60、62の前端にLPF（ローパスフィルタ）を配置することによって、エイリアスの少ない、良好な縮小拡大画像を得ることができる。

【0068】図14は、水平変倍回路60の前端に挿入する水平LPF回路の概略構成ブロック図を示す。130は水平LPF回路の入力データPを記憶するデータ記憶回路、132は、入力データP又はデータ記憶回路130の出力データを選択するスイッチ、134はスイッチ132からのデータを記憶するフリップフロップ、136はフリップフロップ134の出力を記憶するデータ記憶回路、138はフリップフロップ134の出力データ又はデータ記憶回路136の出力データを選択するスイッチ、140はスイッチ138の出力データを記憶するフリップフロップ、142は、係数 $\alpha$ を発生するレジスタ、144はフリップフロップ134の出力データに係数 $\alpha$ を乗算する乗算器、146は入力データPにフリップフロップ140の出力データを加算する加算器、148は係数 $\beta$ を発生するレジスタ、150は加算器146の出力に係数 $\beta$ を乗算する乗算器、152は乗算器144、150の出力を加算する加算器である。加算器152の出力が、本回路の出力 $Q_1$ になる。

【0069】フリップフロップ134、140は、1画素分の水平遅延回路として機能する。データ記憶回路136は、データ記憶回路88と同様に、分割矩形領域の境界において右端の8つのデータを記憶し、データ記憶回路130は右端の1つ手前の8つのデータを記憶する。そして、データ記憶回路130、132は、右となりの矩形領域の処理を行う時に各ラインの最初にそれぞれスイッチ132、138に記憶データを読み出す。

【0070】レジスタ142、148の発生する係数 $\alpha$ 、 $\beta$ が、水平フィルタ特性を決定する。 $\alpha$ 、 $\beta$ によって、フィルタ係数[121]、[111]及び[101]等のフィルタ特性を実現できる。レジスタ142、148及び乗算器144、150からなる部分は、シフト加算等の組み合わせでも実現できる。

【0071】例えば、 $\alpha=0.5$ 、 $\beta=0.25$ とすると、出力 $Q_1$ は、

$$Q_1 = 0.25 \times P_{i-1} + 0.5 \times P_i + 0.25 \times$$

16

 $P_{i+1}$ 

となり、フィルタ係数[1/4, 1/2, 1/4]のフィルタとなる。

【0072】データ記憶回路130、136及びスイッチ132、138により、分割矩形領域の境界でも出力が不連続にならずに、入力を帯域制限できる。

【0073】図15は、水平変倍回路62の前端に挿入される垂直LPF回路の概略構成ブロック図を示す。160、162はラインメモリ、164はラインメモリ160、162のアドレスを発生するアドレス発生回路、166はライン数Lを保持するライン数レジスタ、168はピクセル数Aを保持するピクセル数レジスタ、170はピクセル数Bを保持するピクセル数レジスタである。ラインメモリ160、162は、アドレス発生回路164のアドレス制御下で、1ライン分の遅延回路として機能する。

【0074】172は係数 $\alpha$ を発生するレジスタ、174はラインメモリ160又は同162からのデータ $P_{i,u}$ に係数 $\alpha$ を乗算する乗算器、176は、入力データ $P_{i,u+1}$ にラインメモリ160又は162からの $P_{i,u-1}$ を加算する加算器、178は係数 $\beta$ を発生するレジスタ、180は加算器176の出力に係数 $\beta$ を乗算する乗算器、182は乗算器174、180の出力を加算する加算器である。加算器182の出力が本回路の出力になる。

【0075】 $\alpha$ 、 $\beta$ の値によって、フィルタ係数[121]、[111]及び[101]等の垂直フィルタを実現できる。レジスタ172、178及び乗算器174、180からなる部分は、シフト加算等の組み合わせでも実現できる。

【0076】ラインメモリ160、162はそれぞれ、水平Hbピクセルの1ライン分の容量を具備する。例えば、アドレス発生回路164の発生するアドレスに従い、ラインメモリ160からデータ $P_{i,u-1}$ が読み出されると同時に、ラインメモリ162からデータ $P_{i,u}$ が読み出され、ラインメモリ160の同じアドレスに入力データ $P_{i,u+1}$ が書き込まれる。

【0077】例えば、 $\alpha=0.5$ 、 $\beta=0.25$ とすると、出力は、

$$0.25 \times P_{i,u-1} + 0.5 \times P_{i,u} + 0.25 \times P_{i,u+1}$$

となり、フィルタ係数[1/4, 1/2, 1/4]のフィルタとなる。

【0078】図6の場合と同様に、アドレス発生回路164がHRS Tを発生すると、ラインメモリ160、162は書き込みと読み出しが切り換えられる。これにより、次のラインに対しても同様のデータフローで同一係数のフィルタ処理を行うことができる。

【0079】補間方法として線形補間を用いた実施例を説明したが、キュービック補間法を用いてもよい。

17

【0080】変倍回路32から出力される矩形画像データをDRAM20に書き込むとき、2次元DMA制御回路44のスタートポイントP1を図11のPeとしたが、縮小処理を行う場合には、2次元DMA制御回路44のスタートポイントP1を撮像データ用記憶領域のPaに設定しても良い。

【0081】図16は、本発明の第2実施例の概略構成ブロック図を示す。210は全体を制御するCPU、212はCPU210をシステムバス214に接続するインターフェース、216はメモ리카ード等の記録媒体、218は記録媒体216をバス214に接続するインターフェース、220は画像データ及びプログラム等を記憶するDRAM、222は、システムのシーケンシャル制御及びバス調停制御等を司るシステム制御回路、224は撮像素子、226は撮像素子224のアナログ出力をデジタル信号に変換するA/D変換器、228は、D/A変換器226の出力データをDRAM220にDMA転送するDMA制御回路である。

【0082】230はDRAM220上のデータをDMA転送で読み出すDMA制御回路、232は、DMA制御回路230により二次元DMA転送された画像データを、線形補間等によって水平及び垂直方向に変倍する変倍回路である。変倍回路232は、変倍回路30と全く同じ構成からなる。234は、変倍回路232によって変倍されたラスタスキャン画像データをブロックスキャン画像データに変換するラスタ/ブロック変換回路、236はラスタ/ブロック変換回路234の作業用のバッファメモリである。バッファメモリ236は、 $H_a \times 8$ ワードの容量を持ち、従って、ラスタ/ブロック変換回路234は、水平ピクセル $H_a$ までのラスタデータを一度にブロックスキャンデータに変換できる。

【0083】238はラスタ/ブロック変換回路234から出力されるブロックスキャン画像データをJPEG方式で圧縮する圧縮回路、240は、変倍回路232の出力データ又は圧縮回路40の出力データを選択するセクタ、242は、セクタ240の出力データをDRAM220にDMA転送するDMA制御回路である。

【0084】244はDMA制御回路230によりDRAM220からDMA転送されたJPEGデータを伸長する伸長回路、246は、伸長回路244によって復元されたブロックスキャン画像データをラスタスキャン画像データに変換するブロック/ラスタ変換回路、248はブロック/ラスタ変換回路246の作業用のバッファメモリである。バッファメモリ248は $H_a \times 8$ ワードの容量を持ち、従って、ブロック/ラスタ変換回路246は、水平ピクセル $H_a$ までのブロックデータを一度にラスタスキャンデータに変換できる。

【0085】250はブロック/ラスタ変換回路246の出力画像データ又はDMA制御回路230によりDRAM220からDMA転送される画像データを選択する

18

セクタ、252は、セクタ250の出力画像データを変倍する変倍回路である。変倍回路252は変倍回路32と全く同じ機能を具備する。254は、変倍回路252によって変倍された画像データをDRAM220に二次元的にDMA転送するDMA制御回路である。DMA制御回路254は、DMA制御回路44と同様に動作する。

【0086】256は、画像データに変調、同期信号の付加及びD/A変換等の処理を施してビデオ信号を生成する再生回路、258は、DRAM220の画像データを再生回路256に二次元DMA転送するDMA制御回路—260は再生回路256から出力されるビデオ信号を画像表示する画像表示装置である。画像表示装置は、例えば、液晶表示パネルからなる。

【0087】図16に示す第2実施例の圧縮記録及び再生動作を具体的に説明する。画像サイズの縦横比が4:3、水平2048ピクセル、垂直1536ピクセルで、 $Y:U:V=4:2:2$ の画像データを変倍回路234で $1024 \times 768$ ピクセルに縮小すると共に、変倍回路252で $752 \times 485$ ピクセルに縮小し、変倍回路232で縮小した $1024 \times 768$ ピクセルの画像データをJPEG圧縮ファイルにする場合を想定する。バッファメモリ236の水平方向の容量 $H_a=320$ 、変倍回路232の垂直変倍用バッファメモリ（図2のバッファメモリ64に対応する。）の容量 $H_b=1024$ 、変倍回路252の垂直変倍用バッファメモリ（図2のバッファメモリ64に対応する。）の容量 $H_b=768$ としたとする。

【0088】セクタ240が圧縮回路238のJPEGデータ出力を選択し、セクタ250がDMA制御回路230の出力を選択し、変倍回路232の水平垂直変倍率を $1/2$ に、変倍回路252の水平変倍率を $4/7$ 、垂直変倍率を $7/2$ にそれぞれ設定する。

【0089】撮像素子224による撮影画像データは、第1実施例と同様にDRAM220に転送される。DMA制御回路230が、DRAM220上の撮像データは変倍回路232、及びセクタ250を介して変倍回路252に二次元DMA転送する。以後の動作は、第1実施例と同様であり、 $1024 \times 768$ ピクセルの画像を圧縮したJPEGデータを記録媒体216に記録し、 $752 \times 485$ ピクセルのフル画面のビデオ信号を画像表示できる。

【0090】図17を参照して、伸長再生動作を説明する。図17は、第2実施例の伸長再生動作の概念を示す図である。JPEG圧縮ファイルの元画像サイズの縦横比が4:3、水平2048ピクセル、垂直1536ピクセル、 $Y:U:V=4:2:2$ の画像データを、 $752 \times 485$ ピクセルに縮小する場合であって、バッファメモリ248の水平方向の容量 $H_a=320$ 、変倍回路252の垂直変倍用バッファメモリ（図2のバッファメモリ

19

り64に対応する。)の容量 $Hb=752$ であるとする。

【0091】ブロック/ラスタ変換回路246の水平方向の処理単位 $Ha'$ を256に、変倍回路252の水平変倍率を $47/128$ 、垂直変倍率を $7/22$ にそれぞれ設定し、セクタ250にブロック/ラスタ変換回路246の出力を選択させたとする。

【0092】CPU210はDRAM220上にJPEGデータ用のメモリ領域と再生縮小データ用の領域を確保する。記録媒体216に蓄積されているJPEGファイルを読み出し、DRAM220上のポインタPaから順に書き込むことによって、JPEGデータ領域にそのJPEGファイルを転送する。DMA制御回路230は、ポインタPaから順次、JPEGデータを読み出し、伸長回路244に供給する。伸長回路244は、DMA制御回路230からのデータを順次、伸長し、これにより復元された画像データをブロック・スキャンでブロック/ラスタ変換回路246に供給する。ブロック/ラスタ変換回路246は、 $256 \times 8$ ワード単位でブロックスキャンデータをラスタ・スキャンに変換し、その変換結果は、 $256$ ピクセル $\times 8$ ラインの矩形領域のラスタスキャン画像データとしてセクタ250を介して変倍回路252に供給される。

【0093】変倍回路252は、水平 $256$ ピクセルを $47/128$ に縮小して $94$ ピクセルにすると共に、垂直 $8$ ラインを $7/22$ に縮小して $3$ (又は $2$ )ラインにする。 $94$ ピクセル $\times 3$ (又は $2$ )ラインの縮小画像データがDMA制御回路254に供給される。DMA制御回路254は、 $94$ ピクセル $\times 3$ (又は $2$ )ラインの縮小画像データをDRAM220の再生縮小データ用の領域に2次元DMA転送する。

【0094】1画面内の全伸長縮小処理が終了すると、 $752 \times 489$ の再生縮小データが得られる。垂直方向の誤差 $4$ ラインは、上下 $2$ ラインを削除するが、又は下 $4$ ライン分の処理を行わない等の方法で調整される。

【0095】DMA制御回路258は、DRAM220のポインタPbからTVフィールド毎に順次、画像データを2次元DMA転送方式で読み出し、再生回路256に供給する。再生回路256は、入力画像データに変調、同期信号の付加、及びD/A変換等の処理を施してビデオ信号を生成し、生成されたビデオ信号が画像表示装置260に印加され、画像表示される。

【0096】以上の動作によって、 $2048$ ピクセル $\times 1536$ ラインのJPEG伸長データから縦横比 $4:3$ のままフル画面のビデオ信号を生成し、再生表示することができる。

【0097】縮小の場合を説明したが、変倍回路252で拡大処理を行うことも可能である。変倍回路232と変倍回路252に、それぞれ異なる倍率で同じ又は異なる画像の拡大を同時に実行させてもよい。

20

【0098】変倍回路232、252の入力段にLPFを挿入することで、エイリアスの少ない良好な画像を得ることができる。補間方法は、線形補間以外にキュービク補間法でもよい。

【0099】図18は、本発明の第3実施例の概略構成ブロック図を示す。310は全体を制御するCPU、312はCPU310をシステムバス314に接続するインターフェース、316はメモリカード等の記録媒体、318は記録媒体316をバス314に接続するインターフェース、320は画像データ及びプログラム等を記憶するDRAM、322は、システムのシーケンシャル制御及びバス調停制御等を司るシステム制御回路、324は撮像素子、326は撮像素子324のアナログ出力をデジタル信号に変換するA/D変換器、328は、D/A変換器326の出力データをDRAM320にDMA転送するDMA制御回路である。

【0100】330、332はDRAM320上のデータをDMA転送で読み出すDMA制御回路、334はDMA制御回路332によりDRAM320からDMA転送されたJPEGデータを伸長する伸長回路、336は、伸長回路334によって復元されたブロックスキャン画像データをラスタスキャン画像データに変換するブロック/ラスタ変換回路、338はブロック/ラスタ変換回路336の作業用のバッファメモリである。バッファメモリ338は $Ha \times 8$ ワードの容量を持ち、従って、ブロック/ラスタ変換回路336は、水平ピクセル $Ha$ までのブロックデータを一度にラスタスキャンデータに変換できる。

【0101】340、342は、DMA制御回路330の出力(A)、DMA制御回路332の出力(B)又はブロック/ラスタ変換回路336の出力(C)を選択するセクタ、344、346はそれぞれセクタ340、342の出力を変倍する変倍回路である。変倍回路344、346は、変倍回路30と全く構成が異なる。348は変倍回路344、346の出力を選択するセクタである。

【0102】350は、セクタ350により選択されたラスタスキャン画像データをブロックスキャン画像データに変換するラスタ/ブロック変換回路、352はラスタ/ブロック変換回路350の作業用のバッファメモリである。バッファメモリ350は、 $Ha \times 8$ ワードの容量を持ち、従って、ラスタ/ブロック変換回路350は、水平ピクセル $Ha$ までのラスタデータを一度にブロックスキャンデータに変換できる。354はラスタ/ブロック変換回路350から出力されるブロックスキャン画像データをJPEG方式で圧縮する圧縮回路である。

【0103】356、358は、変倍回路344の出力(A)、変倍回路346の出力(B)又は圧縮回路354の出力(C)を選択するセクタ、360、362はそれぞれ、セクタ356、358の出力データをDR

21

AM320に二次元DMA転送するDMA制御回路である。DMA制御回路360、362は、DMA制御回路254と同様に動作する。

【0104】364は、画像データに変調、同期信号の付加及びD/A変換等の処理を施してビデオ信号を生成する再生回路、366は、DRAM320の画像データを再生回路364に二次元DMA転送するDMA制御回路、368は再生回路364から出力されるビデオ信号を画像表示する画像表示装置である。画像表示装置は、例えば、液晶表示パネルからなる。

【0105】図18に示す実施例は、セクタ340、342、348、356、358が追加挿入されたことを除いて、図16に示す実施例とほぼ同じ構成からなる。

【0106】本実施例の圧縮記録及び再生動作を具体的に説明する。画像サイズの縦横比が4:3、水平2048ピクセル、垂直1536ピクセルで、Y:U:V=4:2:2の画像データを変倍回路344で1024×768ピクセルに縮小し、変倍回路346で752×485ピクセルに縮小し、変倍回路344で縮小した1024×768ピクセルの画像データをJPEG圧縮ファイルにする場合であって、バッファメモリ352の水平方向の容量Ha=320、変倍回路344の垂直変倍用バッファメモリ（図2のバッファメモリ64に対応する。）の容量Hb=1024、変倍回路346の垂直変倍用バッファメモリ（図2のバッファメモリ64に対応する。）の容量Hb=768であるとする。

【0107】セクタ340、342、348をAに接続し、セクタ356をCに接続し、セクタ358をBに接続する。これにより、DRAM320、DMA制御回路330、第変倍回路344、ラスト/ブロック変換回路350、圧縮回路354、DMA制御回路360及びDRAM320というようにデータが流れる第1の処理の間に、DMA制御回路330、変倍回路346、DMA制御回路362及びDRAM320というようにデータが流れる第2の処理が実行される。

【0108】セクタ340、342、348、356、358の上記接続状態では、図18に示す実施例は、図1に示す第1実施例と同じ回路配置になり、DMA制御回路330、変倍回路344、346、ラスト/ブロック変換回路350、圧縮回路354及びDMA制御回路360、362はそれぞれ、第1実施例（図1）のDMA制御回路34、変倍回路30、32、ラスト/ブロック変換回路36、圧縮回路40及びDMA制御回路42、44に対応する。

【0109】第1実施例と同様に設定し、変倍回路344の水平垂直変倍率を1/2、変倍回路346の水平変倍率を47/128、垂直変倍率を7/22に設定する。その後の動作は、第1実施例と同様に、DRAM320上に撮像データを転送し、DMA制御回路330が

22

その撮像データをDRAM320から二次元DMA転送により、セクタ340、342を介して変倍回路344、346に供給する。以後の動作は、第1実施例と同様である。

【0110】変倍回路344で水平垂直方向に1/2倍に縮小された画像データは、セクタ348及びラスト/ブロック変換回路350を介して圧縮回路354に印加され、ここで圧縮され、DMA制御回路360によりDRAM320に転送される。他方、変倍回路346で水平方向に47/128倍、垂直方向に7/22倍で縮小された画像データは、セクタ回路358及びDMA制御回路362を介してDRAM320に転送される。

【0111】以後の動作は第1実施例と同様であり、1024×768ピクセルの画像を圧縮したJPEGデータが記録媒体316に記録され、752×485ピクセルのフル画面のビデオ信号が画像表示装置368に印加されて再生表示される。

【0112】図18に示す実施例の伸長再生動作を具体的に説明する。JPEG圧縮ファイルの元画像サイズの縦横比が4:3、水平2048ピクセル、垂直1536ピクセル、Y:U:V=4:2:2の画像データを、752×485ピクセルに縮小する場合であって、バッファメモリ338の水平方向の容量Ha=320、変倍回路346の垂直変倍用バッファメモリ（図2のバッファメモリ64に対応する。）の容量Hb=752であるとする。

【0113】セクタ342をCに接続し、セクタ358をBに接続する。これにより、データは、DRAM320、DMA制御回路332、伸長回路334、ブロック/ラスト変換回路336、変倍回路346、DMA制御回路362、及びDRAM320というように流れる。このとき、第2実施例と同様の回路構成となり、DMA制御回路332、伸長回路334、ブロック/ラスト変換回路336、変倍回路346及びDMA制御回路362は、それぞれ、第2実施例のDMA制御回路230、伸長回路244、ブロック/ラスト変換回路246、変倍回路252及びDMA制御回路254に対応する。

【0114】第2実施例の伸長再生動作と同様の設定を行い、変倍回路346の水平変倍率を47/128、垂直変倍率を7/22に設定する。その後の動作は、第2実施例の伸長再生動作と同様である。すなわち、CPU310はDRAM320上にJPEGデータ用のメモリ領域と再生縮小データ用の領域を確保し、記録媒体316からJPEGファイルを読み出してDRAM320に書き込む。DMA制御回路332はDRAM320からJPEGデータを読み出し、伸長回路334が、そのJPEGデータを伸長する。伸長回路334の出力データは、ブロック/ラスト変換回路336及びセクタ342を介して変倍回路346に印加される。変倍回路34

6は、入力画像データを水平方向に47/128倍、垂直方向に7/22倍に縮小する。変倍回路346の出力データは、セクタ358及びDMA制御回路362を介してDRAM320に転送される。

【0115】以後の動作は第2実施例の伸長再生動作と同様である。全ての伸長縮小処理が終了すると、752×489の再生縮小データが得られる。垂直方向の誤差4ラインは、上下2ラインを削除するか、又は下4ライン分の処理を行わない等の方法で調整される。

【0116】DMA制御回路366は、DRAM320のポインタPbからTVフィールド毎に順次、画像データを2次元DMA転送方式で読み出し、再生回路364に供給する。再生回路364は、入力画像データに変調、同期信号の付加、及びD/A変換等の処理を施してビデオ信号を生成し、生成されたビデオ信号が画像表示装置368に印加され、画像表示される。

【0117】以上の動作によって、2048ピクセル×1536ラインのJPEG伸長データから縦横比4:3のままフル画面のビデオ信号を生成し、再生表示することができる。

【0118】縮小の場合を説明したが、変倍回路346で拡大処理を行うことも可能である。変倍回路344と変倍回路346に、それぞれ異なる倍率で同じ又は異なる画像の拡大を同時に実行させてもよい。

【0119】変倍回路344、346の入力段にLPFを挿入することで、エイリアスの少ない良好な画像を得ることができる。補間方法は、線形補間以外にキュービク補間法でもよい。

【0120】

【発明の効果】以上の説明から容易に理解できるように、本発明によれば、画像を少量のメモリで高速に、変倍、圧縮及び再生することができる。また任意の画像サイズのJPEG圧縮データを少量のメモリで高速に、伸長及び変倍して再生することができる。変倍回路を共用することにより回路規模を削減できる。メモリアクセスが減少するので、消費電力を低減できる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の概略構成ブロック図である。

【図2】 変倍回路30、32の概略構成ブロック図である。

【図3】 水平変倍回路60の概略構成ブロック図である。

【図4】 水平縮小処理の概念図である。

【図5】 水平変倍処理の動作フローチャート図である。

【図6】 垂直変倍回路62のブロック図である。

【図7】 アドレス発生回路122の動作フローチャート図である。

【図8】 垂直変倍処理の動作フローチャート図であ

る。

【図9】 2次元DMAデータ転送の概念図である。

【図10】 2次元DMA転送の動作フローチャート図である。

【図11】 画像データの全体的な転送動作を示す模式図である。

【図12】 分割処理における水平拡大の概念図である。

【図13】 分割処理における垂直拡大の概念図である。

【図14】 水平LPF回路の概略構成ブロック図である。

【図15】 垂直LPF回路の概略構成ブロック図である。

【図16】 本発明の第2実施例の概略構成ブロック図である。

【図17】 第2実施例の動作概念図である。

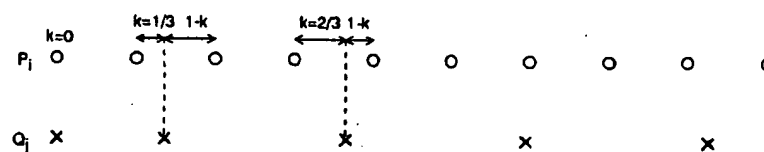
【図18】 第3の実施例のブロック図である。

【符号の説明】

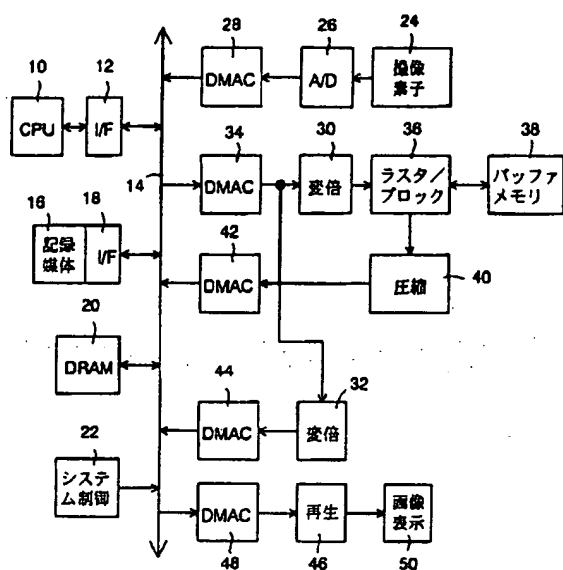
- 10 : CPU
- 12 : インターフェース
- 14 : システムバス
- 16 : 記録媒体
- 18 : インターフェース
- 20 : DRAM
- 22 : システム制御回路
- 24 : 撮像素子
- 26 : A/D変換器
- 28 : DMA制御回路
- 30, 32 : 変倍回路
- 34 : DMA制御回路
- 36 : ラスタ/ブロック変換回路
- 38 : バッファメモリ
- 40 : 圧縮回路
- 42 : DMA制御回路
- 44 : DMA制御回路
- 46 : 再生回路
- 48 : DMA制御回路
- 50 : 画像表示装置
- 60 : 水平変倍回路
- 62 : 垂直変倍回路
- 64 : バッファメモリ
- 66, 68, 70 : スイッチ
- 80 : Dフリップフロップ
- 82 : セクタ
- 84 : ラッチ
- 86 : セクタ
- 88 : データ記憶回路
- 90 : セクタ
- 92 : Dフリップフロップ

- 94 : 線形補間回路
- 96 : 位相記憶回路
- 110, 112 : ラインメモリ
- 114, 116, 118, 120 : レジスタ
- 122 : アドレス発生回路
- 124 : セレクタ
- 126 : 線形補間回路
- 128 : 位相記憶回路
- 130 : データ記憶回路
- 132 : スイッチ
- 134 : フリップフロップ
- 136 : データ記憶回路
- 138 : スイッチ
- 140 : フリップフロップ
- 142 : レジスタ
- 144 : 乗算器
- 146 : 加算器
- 148 : レジスタ
- 150 : 乗算器
- 152 : 加算器
- 160, 162 : ラインメモリ
- 164 : アドレス発生回路
- 166 : ライン数レジスタ
- 168 : ピクセル数レジスタ
- 170 : ピクセル数レジスタ
- 172 : レジスタ
- 174 : 乗算器
- 176 : 加算器
- 178 : レジスタ
- 180 : 乗算器
- 182 : 加算器
- 210 : CPU
- 212 : インターフェース
- 214 : システムバス
- 216 : 記録媒体
- 218 : インターフェース
- 220 : DRAM
- 222 : システム制御回路
- 224 : 撮像素子
- 226 : A/D変換器
- 228 : DMA制御回路
- 230 : DMA制御回路
- 232 : 変倍回路
- 234 : ラスタ/ブロック変換回路
- 236 : バッファメモリ
- 238 : 圧縮回路
- 240 : セレクタ
- 242 : DMA制御回路
- 244 : 伸長回路
- 246 : ブロック/ラスタ変換回路
- 248 : バッファメモリ
- 250 : セレクタ
- 252 : 変倍回路
- 254 : DMA制御回路
- 256 : 再生回路
- 258 : DMA制御回路
- 260 : 画像表示装置
- 310 : CPU
- 312 : インターフェース
- 314 : システムバス
- 316 : 記録媒体
- 318 : インターフェース
- 320 : DRAM
- 322 : システム制御回路
- 324 : 撮像素子
- 326 : A/D変換器
- 328 : DMA制御回路
- 330, 332 : DMA制御回路
- 334 : 伸長回路
- 336 : ブロック/ラスタ変換回路
- 338 : バッファメモリ
- 340, 342 : セレクタ
- 344, 346 : 変倍回路
- 348 : セレクタ
- 350 : ラスタ/ブロック変換回路
- 352 : バッファメモリ
- 354 : 圧縮回路
- 356, 358 : セレクタ
- 360, 362 : DMA制御回路
- 364 : 再生回路
- 366 : DMA制御回路
- 368 : 画像表示装置

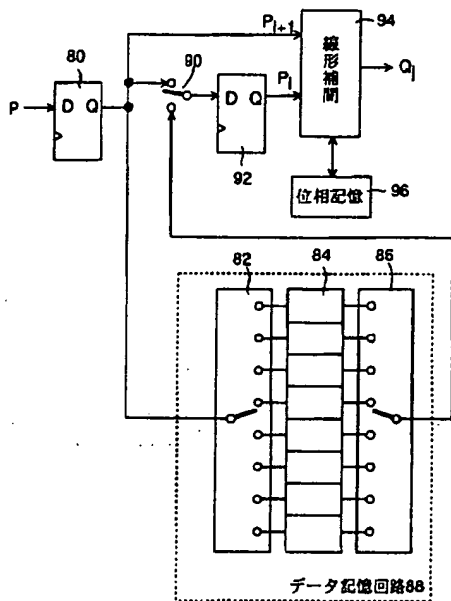
【図4】



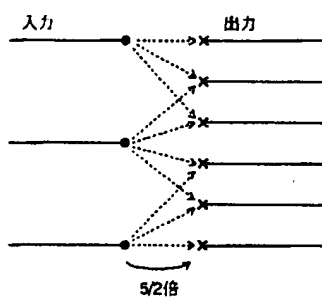
【圖 1】



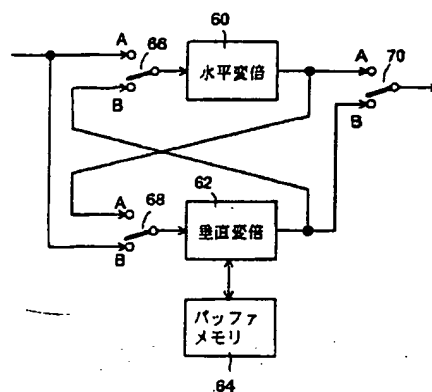
【図 3】



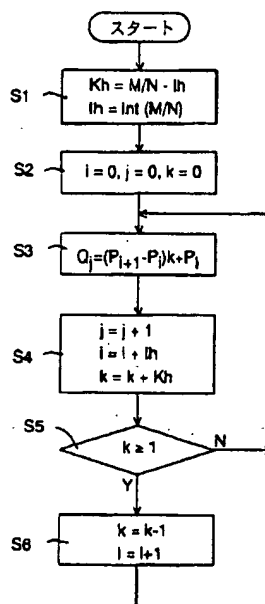
【图 13】



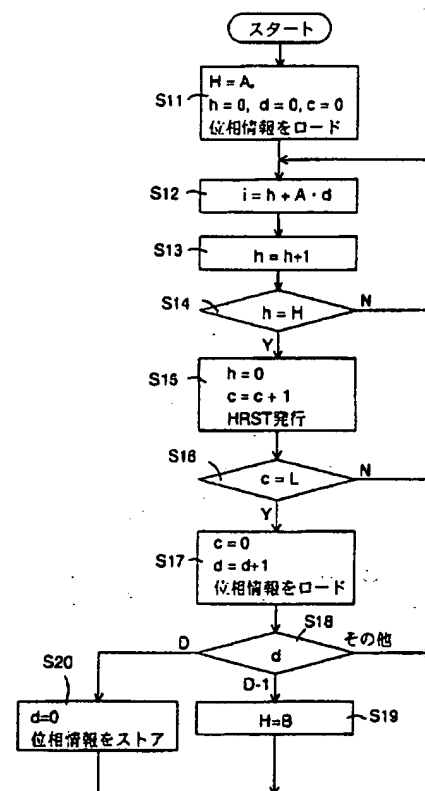
【图2】



【图 5】

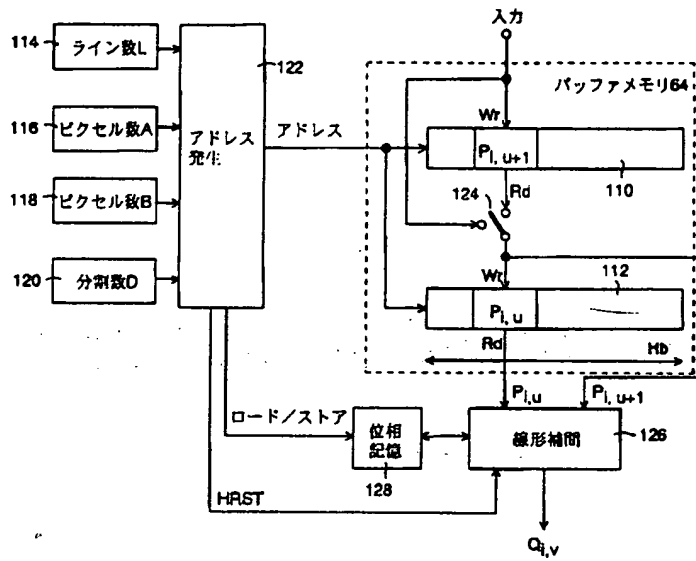


【图 7】

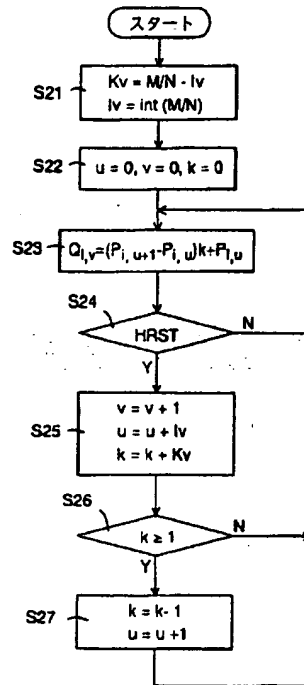




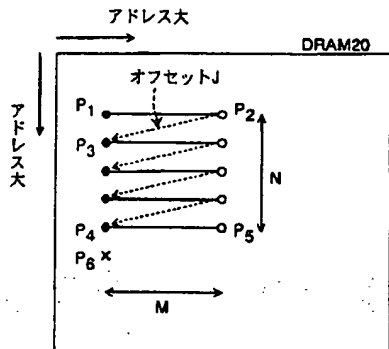
【図6】



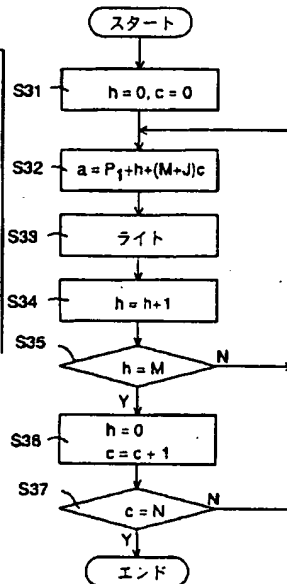
【図8】



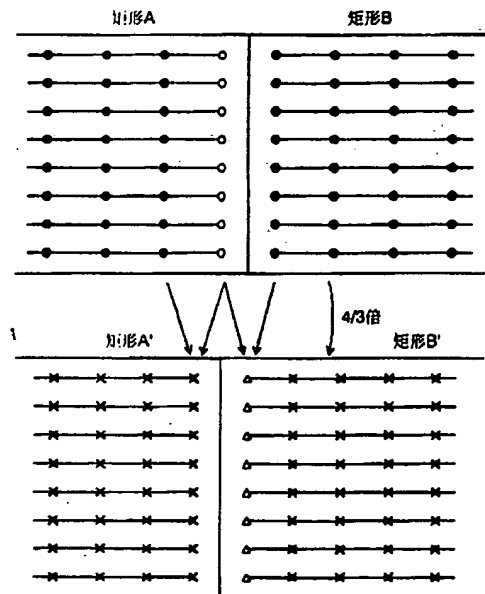
【図9】



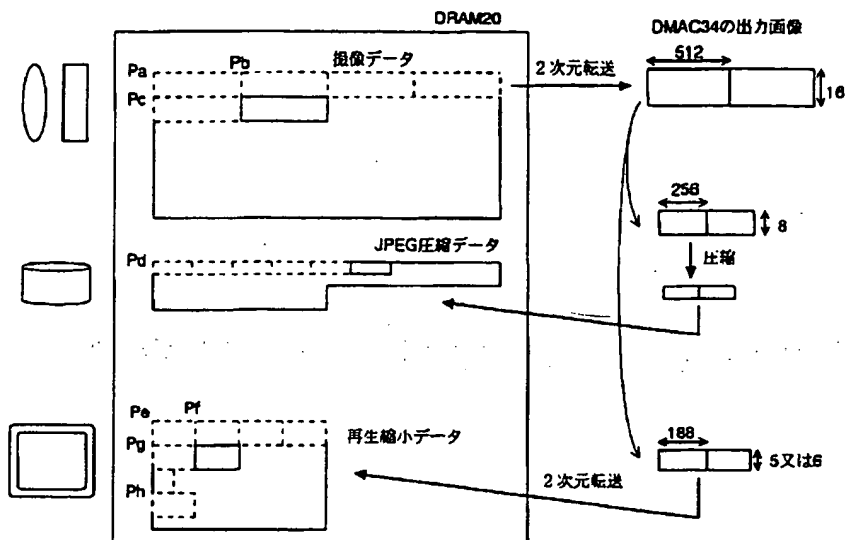
【図10】



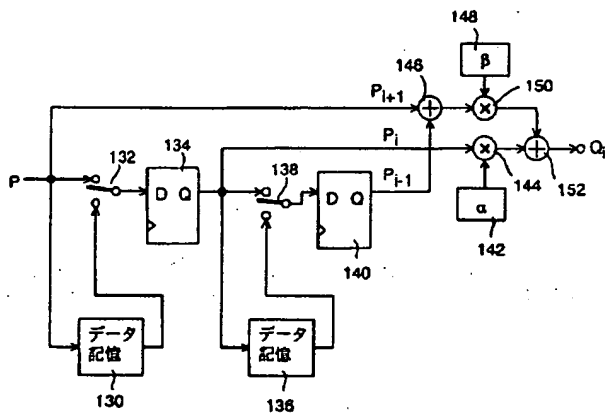
【図12】



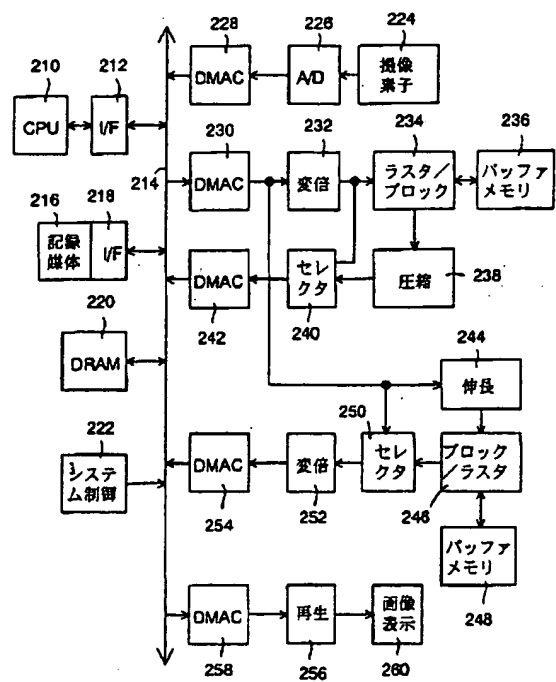
【図11】



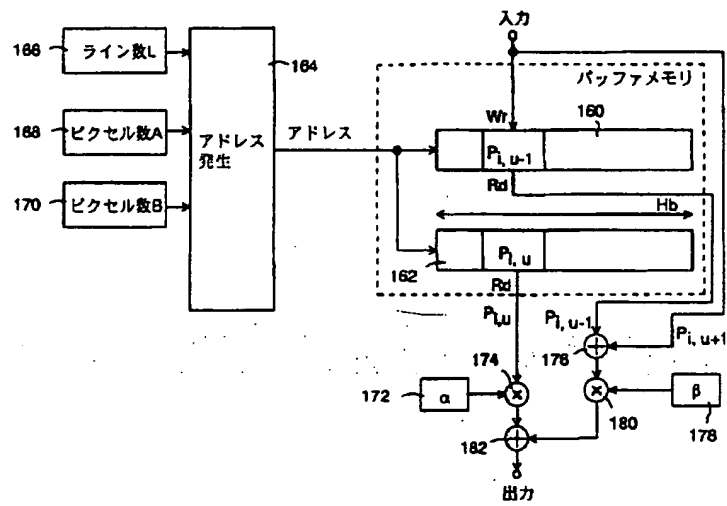
【図14】



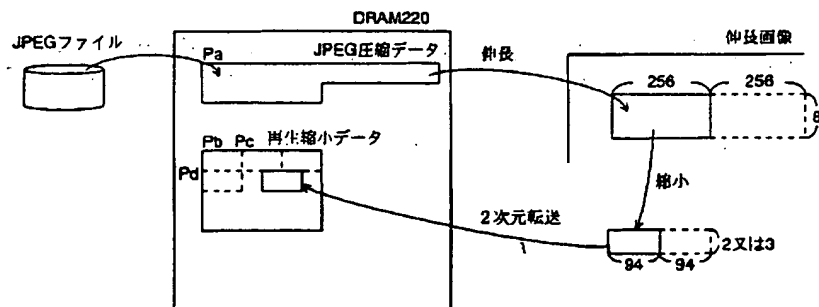
【図16】



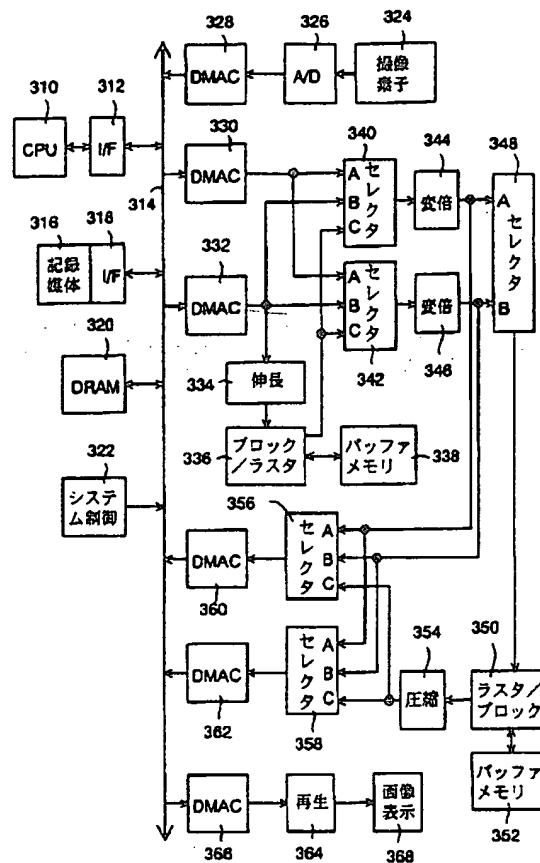
【図15】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコード (参考)

H 0 4 N 5/225

G 0 9 G 5/00

5 5 5 A 5 C 0 7 6

5/262

5/36

5 2 0 E 5 C 0 8 2

7/24

H 0 4 N 7/13

Z

(72) 発明者 蓮覚寺 秀行

東京都大田区下丸子3丁目30番2号キャノ

ン株式会社内

F ターム (参考) 5B047 AB02 BB06 CA23 EA01 EA05  
EB17  
5B057 BA02 CA08 CA12 CA16 CB08  
CB12 CB16 CC01 CD06 CD07  
CG01 CH11 CH14  
5C022 AA13 AB36 AB66 AC00 AC75  
5C023 AA02 BA02 DA04 EA14 EA17  
5C059 KK08 KK38 LB05 LB15 MA00  
SS15 TA06 TA72 TB09 TC24  
TD17 UA37  
5C076 AA21 AA22 BA03 BA05 BA08  
BB04 BB06 CB02 CB04  
5C082 AA00 AA27 BA12 BB15 BB25  
BB44 CA32 DA26 DA51 MM02  
MM04